

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-082138

(43)Date of publication of application : 08.04.1991

(51)Int.Cl.

H01L 21/76
H01L 21/74
H01L 29/784

(21)Application number : 01-217268

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 25.08.1989

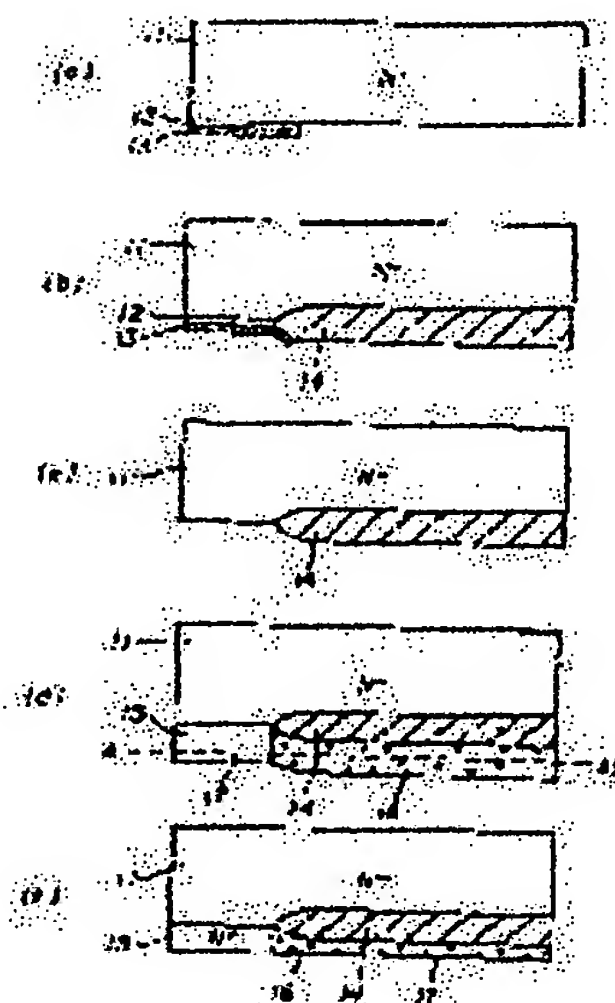
(72)Inventor : UMETANI MASATO
USUI TAJI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To make possible the simplification of the manufacturing process of a semiconductor device and to contrive a reduction in the manufacturing cost of the device by a method wherein after an insulating film is formed at a desired position on a semiconductor substrate, an epitaxial layer and a polycrystalline silicon layer are formed and after the surface of the substrate is polished and flattened, another semiconductor substrate is adhered to the semiconductor substrate.

CONSTITUTION: A composite film consisting of a pad oxide film 12 and a nitride film 13 is first formed on a region part, which is used as a power element formation part, on the main surface on one side of a semiconductor substrate 11. Then, an N-type epitaxial layer 15 is formed on a part, which is not covered with a selective oxide film layer 14, of the surface of the substrate 11 by a CVD method. At this time, a polycrystalline silicon layer 16 is simultaneously formed on the surface of the layer 14. Then, the layers 15 and 16, which are located at the part of an A-A1 line in the (d) of the first diagram, are polished by 5 μ m or thereabouts and a completely flattened mirror surface 17 with roughnesses of 10 \AA or lower on its surface is formed. Then, the side of the rear of the first N-type semiconductor substrate 11 is adhered to the side of the surface of a second N-type semiconductor substrate 18.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

THIS PAGE BLANK (USPTO)

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平3-82138

⑤ Int. Cl.³

H 01 L 21/76
21/74
21/76
29/784

識別記号

D

J

庁内整理番号

7638-5F
7638-5F
7638-5F

⑬ 公開 平成3年(1991)4月8日

8728-5F H 01 L 29/78 3 2 1 C

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-217268

⑯ 出 願 平1(1989)8月25日

⑰ 発 明 者 梅 谷 正 人 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑱ 発 明 者 白 井 太 二 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑲ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑳ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(a) 第1の導電型を有する第1の半導体基板の一方の主表面側に酸化膜と耐酸化膜を順次形成した所望のパターンを除いてエッチング除去する工程と、

(b) 上記耐酸化性膜をマスクとして選択酸化により選択酸化膜層を形成した後上記耐酸化性膜をエッチングにより除去する工程と、

(c) 上記選択酸化膜層上にポリシリコン層を形成するとともに上記選択酸化膜層以外の部分に第1の導電型のエピタキシャル層を形成した後これらを研磨して平坦化する工程と、

(d) この平坦化した面に第1の導電型を有する第2の半導体基板を張り合わせる工程と、
よりなる半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、半導体基板の貼り付け技術を利用した集積化パワーデバイスの製造に好適な半導体装置の製造方法に関するものである。

(従来の技術)

Siウエハを張り合わせて、パワーデバイスを製造する技術に関しては、第1文献としてアイイーイーイー I E E E 1 9 8 7、C I C C P443、「DIELECTRICALLY ISOLATED INTELLIGENT POWER SWITCH」、および第2文献として、日経マイクロデバイス1988年3月号「ウエハ張り合わせ技術」に記載されている。

第2図(a)～第2図(e)は第1文献に記載された従来の半導体装置の製造方法を説明するための工程断面図である。

この第2図(a)～第2図(e)により従来の半導体装置の製造方法について説明する。

まず、第2図(a)に示すように、第1 N型半導体基板1の裏面に厚さ5000Å程度の第1酸化膜層2を形成するとともに、第2 N型半導体基板3の表面に厚さ5000Å程度の第2酸化膜層4を

形成する。

次に、第2図(b)に示すように、シリコン基板張り合わせ法により、第1 N型半導体基板1と第2 N型半導体基板3を張り合わせる。この場合、第1酸化膜層2と第2酸化膜層4を接合させる。

次に、第1 N型半導体基板1を厚さ10 μ m程度になるまで研磨法により除去する。

次に、第2図(c)に示すように、ホトリソ法およびR I E法により、第1 N型半導体基板1、第1酸化膜層2、第2酸化膜層4および第2 N型半導体基板3のパワー素子形成部5で、一部主表面近傍を第2 N型半導体基板3の表面から1 μ m程度まで除去する。

次に、第2図(d)に示すように、厚さ15 μ m程度N型エピタキシャル層6を形成する。

次に、第2図(e)に示すように、研磨法により、N型エピタキシャル層6を第1 N型半導体基板1に達するまで除去する。

以上の工程により、パワー素子形成部5のみ、縦方向に電気的に接続された半導体装置を製造する。

(作用)

この発明によれば、半導体装置の製造方法において、以上のような工程を導入したので、LOCOS法により半導体基板の所望位置に絶縁膜を形成した後、C V Dによるエピタキシャル層とポリシリコンを形成し、表面を研磨して平坦化してから、の半導体基板を張り合わせる。したがって、前記問題点を除去できる。

(実施例)

以下、この発明の半導体装置の製造方法の実施例について図面に基づき説明する。第1図(a)～第1図(f)はその一実施例を説明するための工程断面図である。

まず、第1図(a)に示すように、第1 N型半導体基板11の一方の主表面上の、後述するパワー素子形成部となる領域部に厚さ約500 \AA と約2000 \AA のバッド酸化膜12と耐酸化性絶縁膜として、たとえば、窒化膜13からなる複合膜を形成する。

次に、前記窒化膜13をマスクとする選択酸化法(L O C O S法)により、パワー素子形成部と

(2) る。

(発明が解決しようとする課題)

しかしながら、上記従来の半導体装置の製造方法では、R I Eによりパワー素子形成部5の形成のための深さ10 μ m以上の溝を形成する工程と、エピタキシャル法により、この溝を埋めた後に研磨をする工程があるため、製造工程が複雑になり、コストが増大するという欠点があった。

この発明は前記従来技術がもっている問題点のうち、製造工程が複雑な点と、コストが増大する点について解決した半導体装置の製造方法を提供するものである。

(課題を解決するための手段)

この発明は前記問題点を解決するために、半導体装置の製造方法において、LOCOS法を利用して半導体基板の所望部分に絶縁膜を配置した後、C V Dによりエピタキシャル層とポリシリコン層を形成し、かつ研磨により表面を平坦化して、別の半導体基板と張り合わせる工程を導入したものである。

なる領域以外の部分に選択酸化膜層14を形成する。

ここで、この選択酸化膜層14の厚さは厚い程度望ましく、少なくとも2 μ m以上は必要である。通常は、たとえば1050℃で400分程度の湿式酸化で2 μ mとなる。高圧酸化法を用いれば、さらに短時間にできる。

次に、第1図(c)に示すように、エッチングにより前記窒化膜13とバッド酸化膜12を除去する。ここで、エッチング除去されるバッド酸化膜12の厚さは高々1000 \AA 程度である。

次に、第1図(d)に示すように、C V D法により、厚さ10 μ m程度比抵抗0.002 Ωcm 以下のN型エピタキシャル層15を選択酸化膜層14で覆われていない部分の第1 N型半導体基板11の表面に形成する。

このとき、同時に選択酸化膜層14の表面には、ポリシリコン層16が形成される。

次に、第1図(e)におけるA-A'線の部分をH₂O₂溶液を用いたメカノケミカル研磨法により、

N型エピタキシャル層15およびポリシリコン層16を5μm程度研磨して、第1図(e)に示すように、表面の凹凸が10Å以下の完全に平坦化された鏡面17を作成する。

次に、第1図(f)に示すように、シリコン基板張り合わせ法により、第1N型半導体基板11の裏面側と第2N型半導体基板18の表面側を張り合わせる。

この張り合わせ方法は、まず、張り合わせ面を H_2O_2 、 H_2SO_4 によって親水性処理を行った後、張り合わせ、その後1100℃、2時間の熱処理を加える。

次に、研磨法により、第1N型半導体基板11を厚さ10μm程度残して、第1図(f)に示すように、第1図(f)のB-B'面まで研磨する。

次に、第1図(f)に示すように、第1N型半導体基板11の選択酸化膜層14上の部分のロジック素子形成部20とN型エピタキシャル層15上の部分のパワー素子形成部19の境界にP型不純物を選択酸化膜層14に達するまで拡散し、アイソ

11…第1N型半導体基板、12…パッド酸化膜、13…酸化膜、14…選択酸化膜層、15…N型エピタキシャル層、16…ポリシリコン層、18…第2N型半導体基板、21…アイソレーション拡散層、22…パワーMOS、23…ロジックCMOS。

特許出願人 沖電気工業株式会社
代理人 弁理士 菊池 弘



(3) レーション拡散層21を形成する。

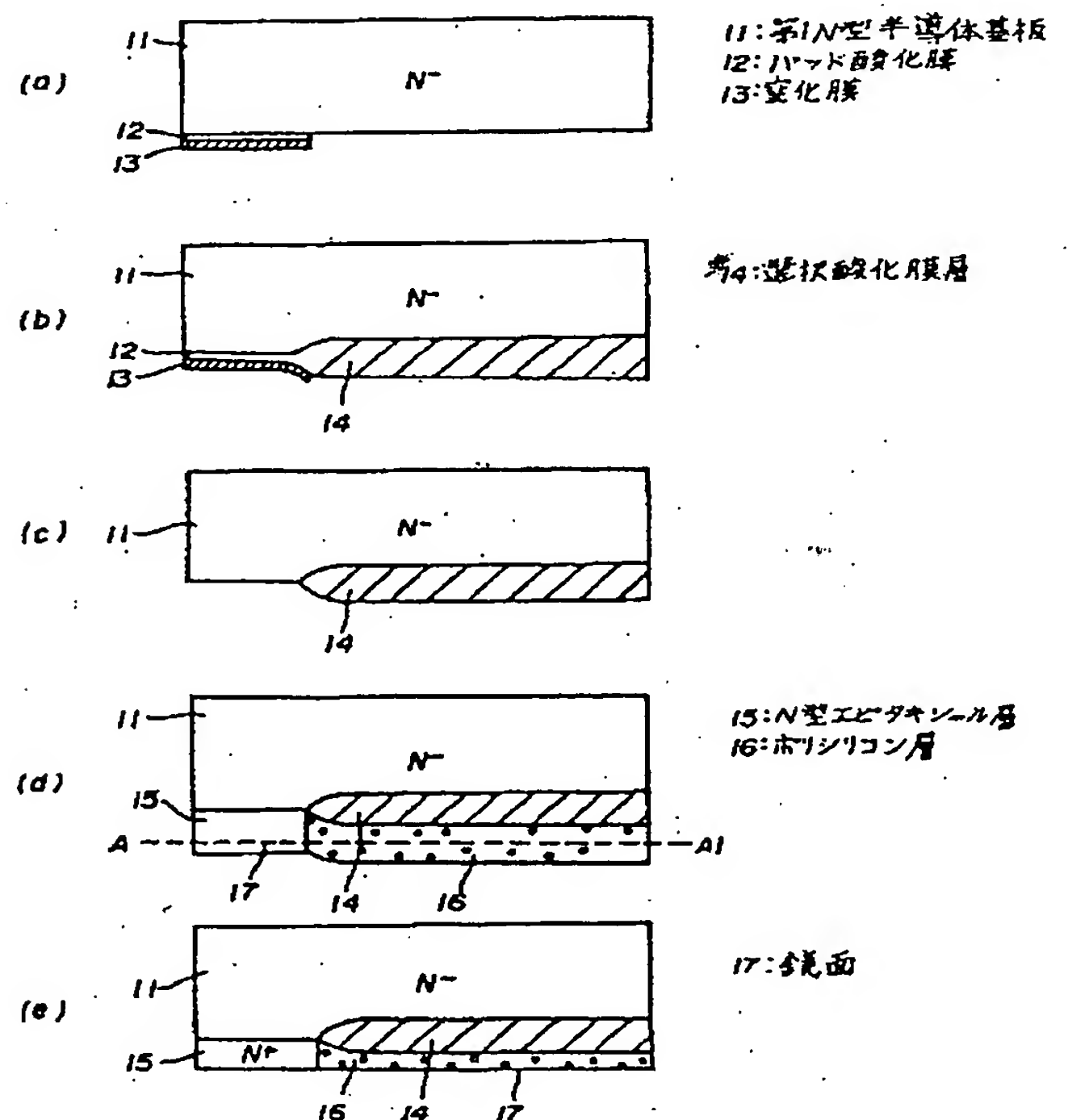
次に、第1図(i)に示すように、通常の工程により、パワー素子形成部19にパワーMOS22を形成するとともに、ロジック素子形成部20にロジックCMOS23を形成する。

(発明の効果)

以上、詳細に説明したように、この発明によれば、RIEによる溝掘りおよびエピタキシャル工程を使わずに、LOCOS法による半導体基板に酸化膜の形成とCVDによるエピタキシャルおよびポリシリコンを形成した後に、研磨による平坦化して別の半導体基板を張り合わせるようにしたので、製造工程の単純化が可能となり、それにもない製造コストの低減の効果が期待できる。

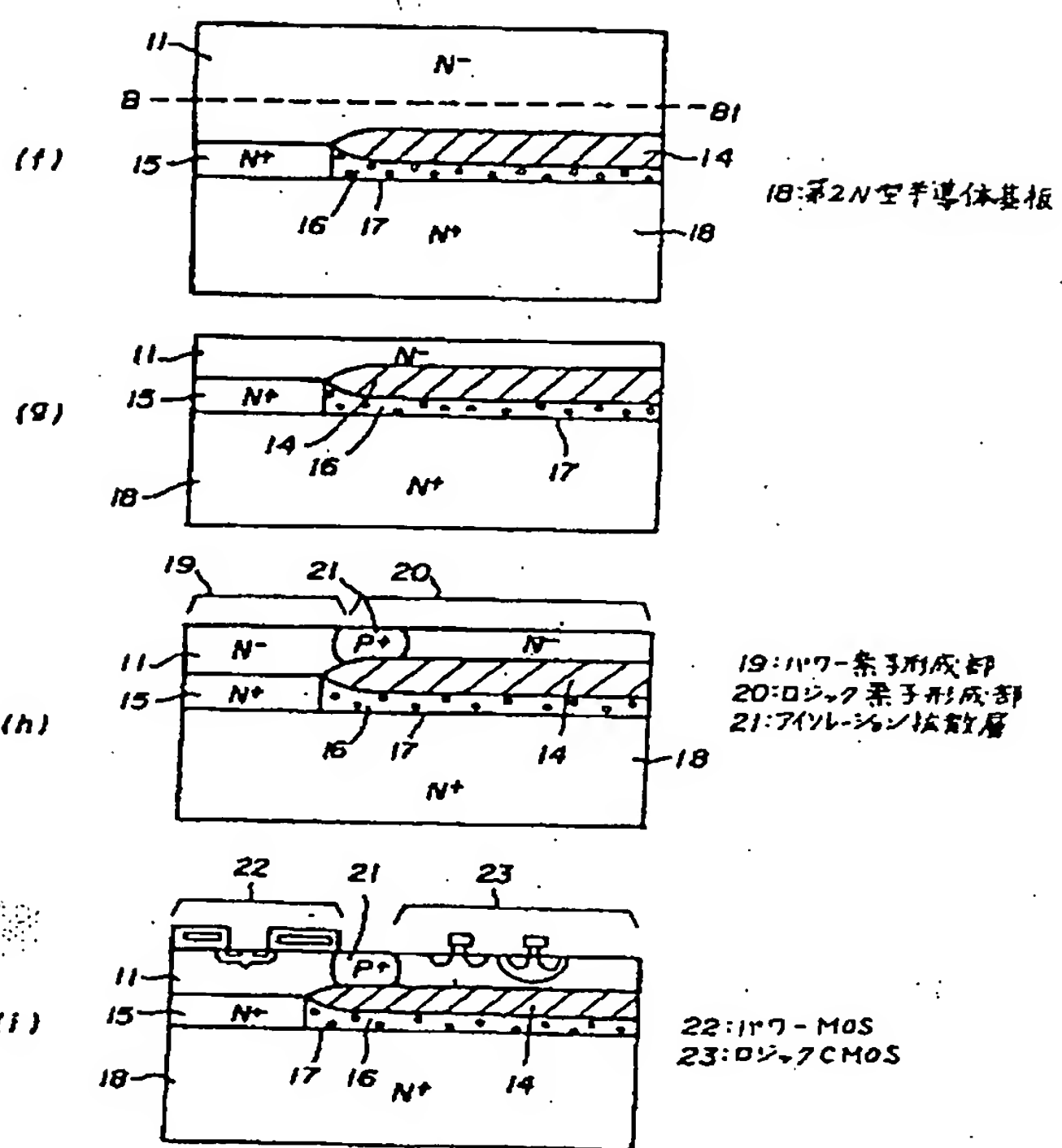
4. 図面の簡単な説明

第1図(a)ないし第1図(i)はこの発明の半導体装置の製造方法の一実施例を説明するのための工程断面図、第2図(a)ないし第2図(e)は従来の半導体装置の製造方法を説明するための工程断面図である。

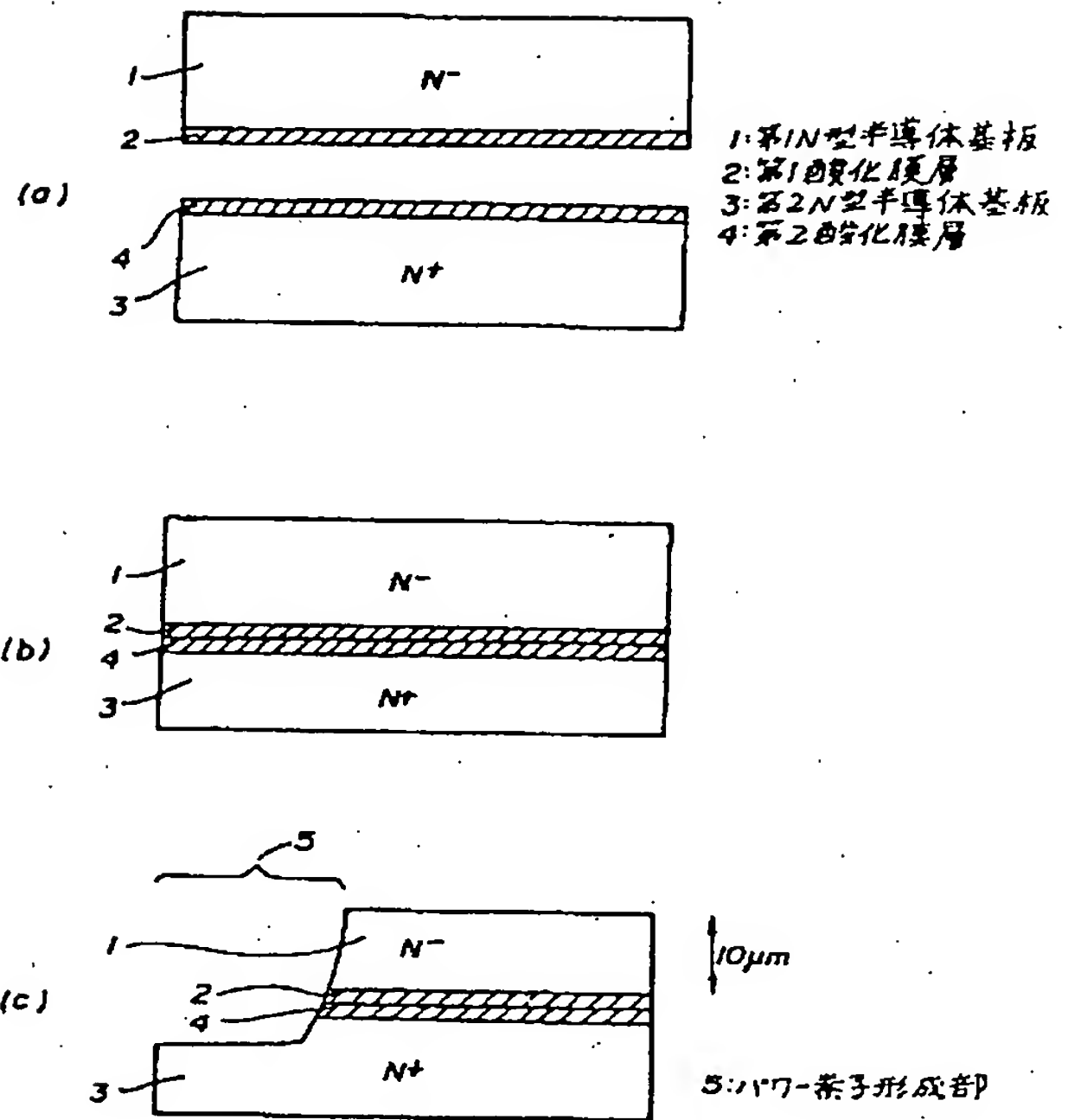


本発明の工程断面図

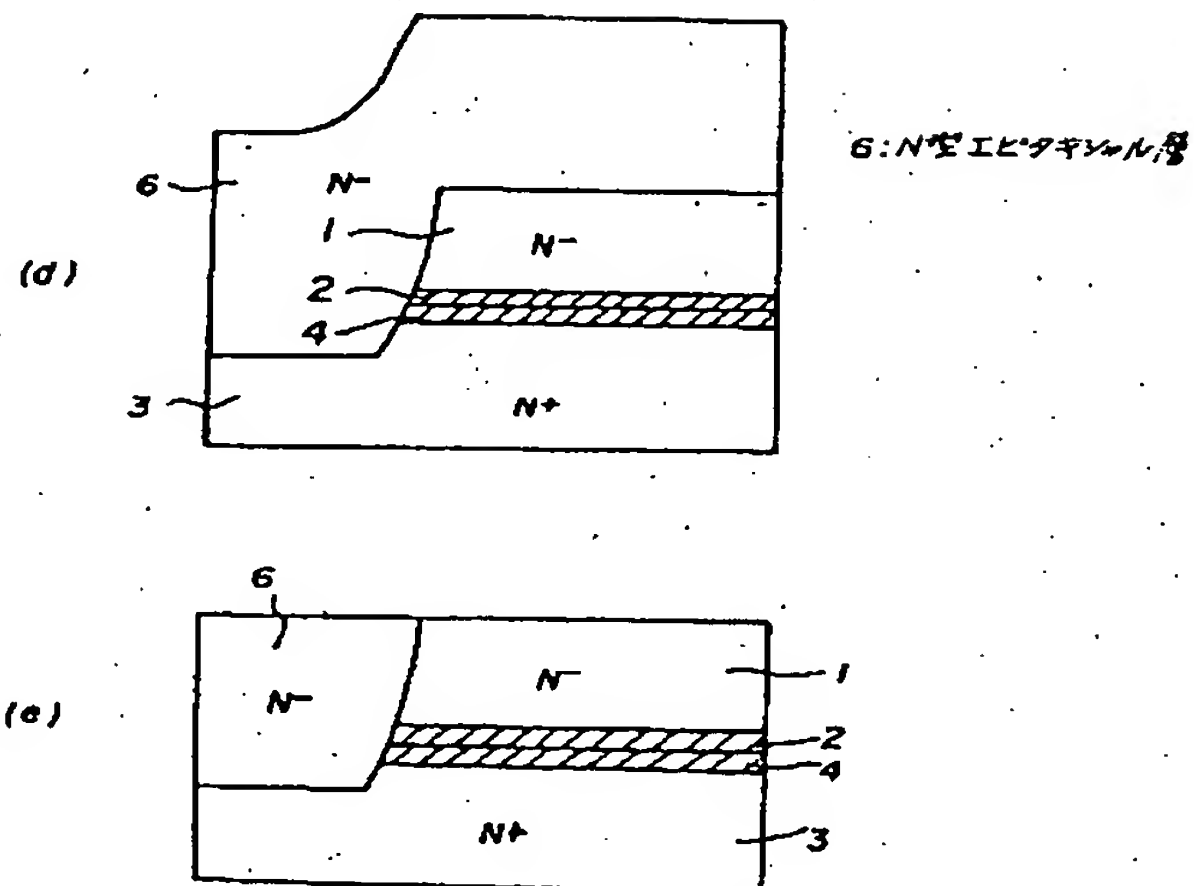
第1図



本発明の工程断面図
第 1 図



従来の工程断面図
第 2 図



従来の工程断面図
第 2 図